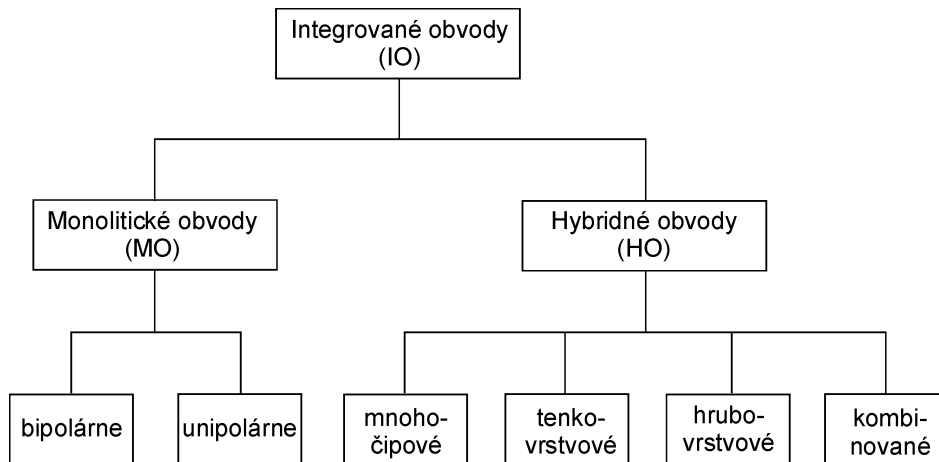


## 12 Technológie výroby polovodičových súčiastok

### 12.1 Technológia výroby polovodičových súčiastok a IO

Klasifikácia polovodičových súčiastok a integrovaných obvodov (IO) z pohľadu:

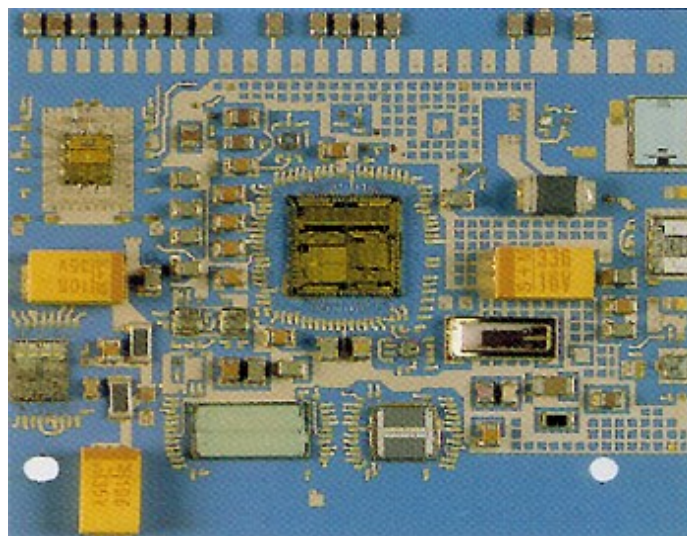
- fyzikálnej podstaty a technológie aktívnych súčiastok a technológie vytvárania obvodov (obr. 12.1) :



Obr. 12.1 Klasifikácia integrovaných obvodov z pohľadu fyzikálnej podstaty a technológií ich tvorby

- stupňa integrácie obvodov:

Technológia výroby unipolárnych integrovaných obvodov sa zdokonaľuje každým rokom. Zvyšovaním integrácie (počtu základných elementov na jednotku plochy, resp. na čipe), čiže znižovaním rozmeru súčiastok sa dosahuje vyšší výkon mikroprocesorov pripravovaných unipolárnou technológiou. Mikroprocesory a počítače pripravené na základe unipolárnej technológie predstavujú dnes neoddeliteľnú súčasť existencie moderného človeka. Zásluhou použitia mikroprocesorov sme svedkami tzv. informačnej revolúcie, ktorá mení základné rozmery nášho sveta. Ukážka integrovaného obvodu na báze hrubých vrstiev a keramiky LTCC je na obr. 12.2.



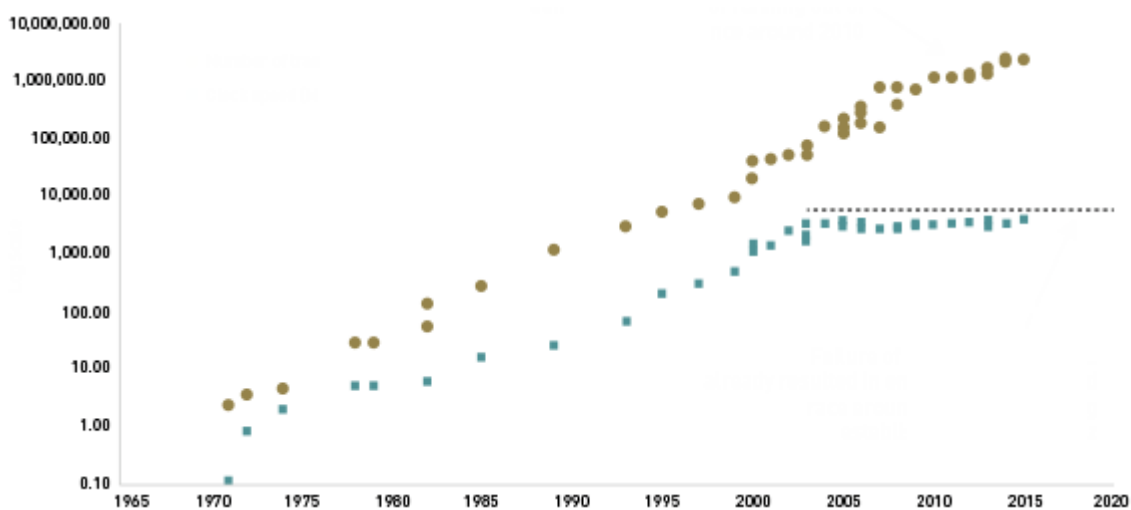
Obr. 12.2 Ukážka integrovaného obvodu na báze hrubých vrstiev a keramiky LTCC

Základnou súčiastkou unipolárnej technológie je tranzistor pracujúci na základe efektu poľa (field effect transistor - FET). V tejto súčiastke je prúd v čiastočne elektricky vodivom kanále ovládaný napätím na hradle, ktoré tvorí štruktúra kov-oxid-polovodič (metal-oxide-semiconductor, MOS). Dnešná technológia unipolárnych integrovaných obvodov je postavená na základe komplementárnych štruktúr kov-oxid-polovodič (complementary metal-oxide-semiconductor, CMOS), kde sa využívajú MOS FET tranzistory typu p a n (pMOS, nMOS). Triedenie IO z pohľadu stupňa integrácie je uvedené v tab. 12.1.

Tabuľka 12.1 Triedenie integrovaných obvodov z pohľadu stupňa integrácie

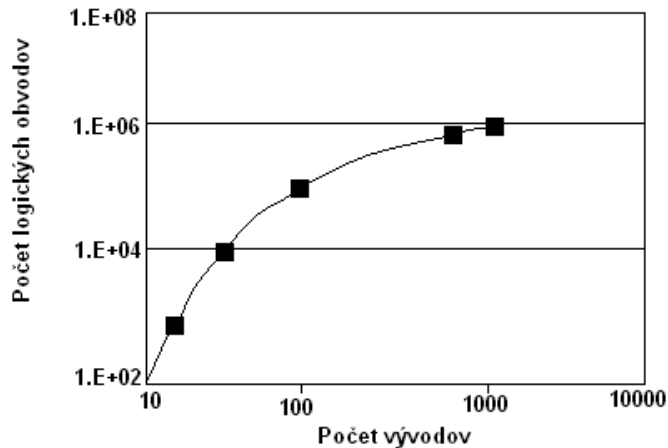
| Stupeň | Integrácia – miniaturizácia             | Počet hradiel | Počet súčiastok | Rozmery doštičky (mm) |
|--------|---|---------------|-----------------|-----------------------|
| 1      | SSI – integrácia malého stupňa          | 10 - 15       | 30 - 50         | 1 x 1                 |
| 2      | MSI – integrácia stredného stupňa       | 25 - 100      | 75 - 300        | 1,5 x 2               |
| 3      | LSI - integrácia veľkého stupňa         | > 100         | 500 - 1 500     | 2,5 x 3               |
| 4      | VLSI - integrácia veľmi vysokého stupňa | > 1 000       | > 2 500         | 4 x 4                 |
| 5      | ULSI – integrácia ultra vysokého stupňa | > 10 000      | > 100 000       | > 10 x 10             |

Súčasný stav materiálovej výroby a fotolitografických technológií dovoľuje komerčnú výrobu obvodov s rozlíšením desiatky nm. Integrované obvody sú stále zložitejšie a na čipe je integrovaných neustále väčší počet logických a iných prvkov (obr. 12.3 a).



Obr. 12.3. a) Vývoj počtu logických prvkov (žltou) a taktovacej frekvencie (zelenou [MHz]) na čipe v mikroprocesorovej logike

S vyššou hustotou integrácie, ktorá umožňuje väčšiu zložitosť obvodov bez nárastu ich fyzickej veľkosti, rastie i počet operácií, ktoré vykonávajú. Súčasne rastie potreba obvody riadiť väčším počtom vstupných signálov. Preto rastie i počet vývodov takýchto obvodov. Graficky je závislosť počtu vývodov IO na počte logických obvodov na čipe na obr. 12.3 b).



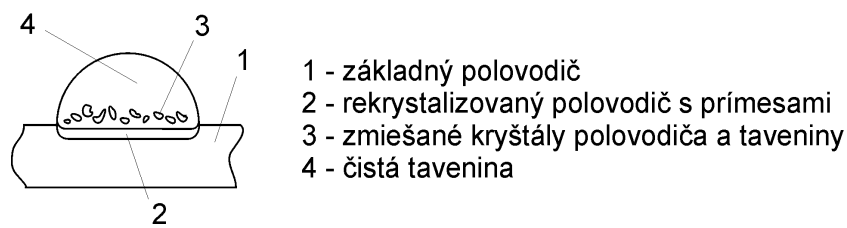
Obr. 12.3 b) Vývoj počtu vývodov integrovaných obvodov v závislosti na počte logických obvodov integrovaných na čipe

## 12.2 Príprava PN priechodov

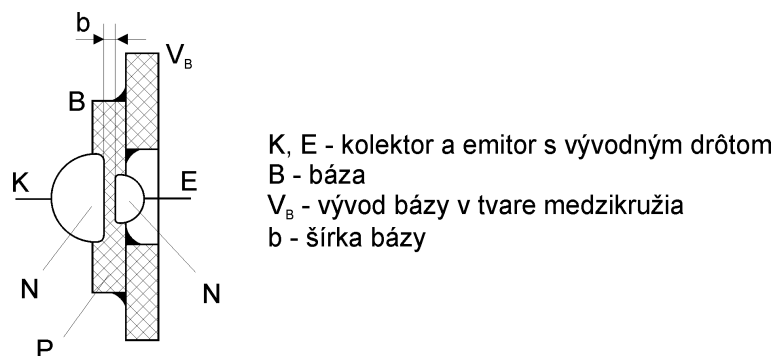
Okrem epitaxnej technológie (časť 11 Technológie výroby polovodičov) poznáme niekoľko ďalších metód prípravy PN priechodov:

### 1. Klasická zliatinová (legovacia) metóda

Presne odvážená pilulka dotovacieho materiálu sa položí na vopred dotovanú polovodičovú platničku na miesto, kde chceme mať PN priechod. Pri zvyšujúcej sa teplote sa zliatina roztopí na povrchu polovodiča, potom sa vrstva polovodiča rozpustí v zliatine, ktorej zložky prechádzajú difúziou do polovodiča. Nasleduje chladnutie, pri ktorom vrstva polovodiča už so zabudovanou prísadou znovu kryštalizuje do pôvodného stavu. Na stanovenie hĺbky PN priechodu, ktorá sa vytvorí pri určitej teplote, je dôležité poznať rozpustnosť polovodičov v rôznych látkach. Ako akceptorová zliatina pri kremíku sa používa eutektická zliatina Al-Si, donorové zliatiny bývajú na báze Sn-P. Schéma zliatinového PN priechodu je na obr. 12.4. a rez zliatinového tranzistoru na obr. 12.5.



Obr. 12.4 Schéma zliatinového PN priechodu

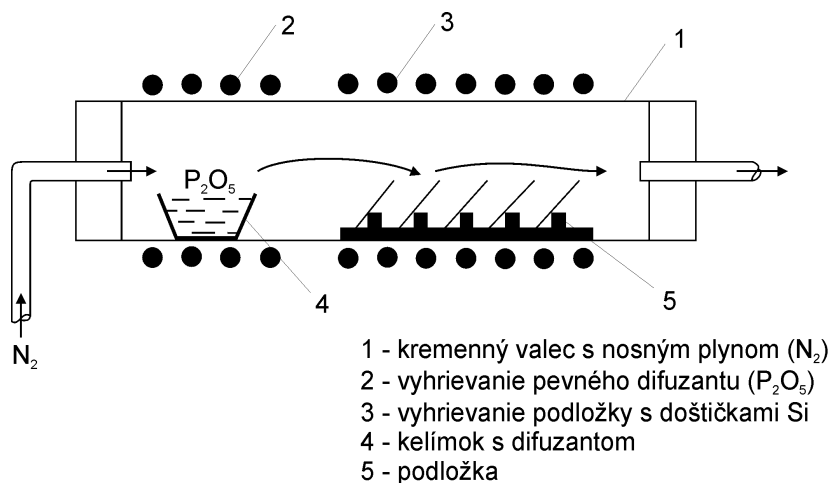


Obr. 12.5 Rez zliatinového tranzistoru

## 2. Difúzna technológia

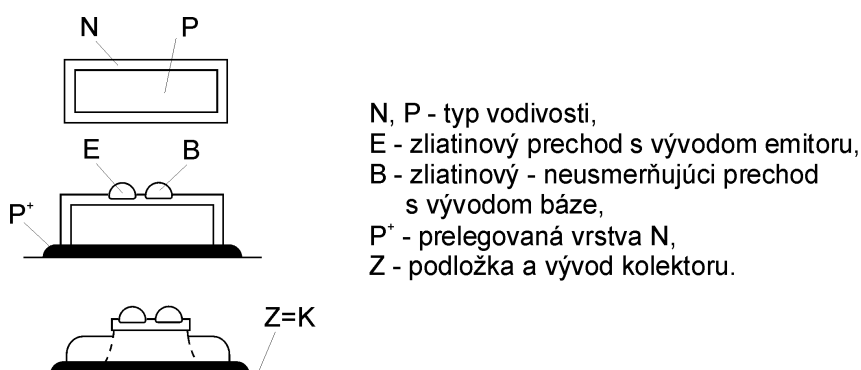
Difúzia prímiesi v pevnej fáze je široko používaná technológia vytvárania PN priechodov, najmä v kremíku. Difúzny koeficient prímiesových atómov je v porovnaní s voľnými nosičmi o niekoľko rádov menší, z čoho vyplýva potreba energetickej dotácie. Selektovaný povrch substrátu vystavíme vysokej koncentrácii dopačných atómov v plynnom, kvapalnom alebo pevnom skupenstve v stave vysokej difuzivity, t.j. pri vysokej teplote. Dochádza k ich zabudovaniu do kryštálovej mriežky substrátu. Dopantami sú najmä zlúčeniny bóru, arzenu a fosforu v rôznej fáze. Dopačná pec je podobná oxidačnej.

Preferovanou technikou je *difúzia v otvorenej komore* (obr. 12.6), ktorá je rozdelená do dvoch fáz. Počas fázy predepozície je riadené množstvo prímiesi aplikované na vyhriaty substrát prúdením zmesi nosného a dopačného plynu. Povrchová koncentrácia dopantov závisí na ich type, teplote a tlaku a na teplote substrátu. Pre danú prímies, teplotu a parciálny tlak existuje maximálna koncentrácia prímiesi - pevná rozpustnosť, čo umožňuje riadiť koncentračný gradient prímiesi v substráte. Každý dopant charakterizuje krivka rozpustnosti v pevnej fáze.



Obr. 12.6 Difúzia v otvorenej komore

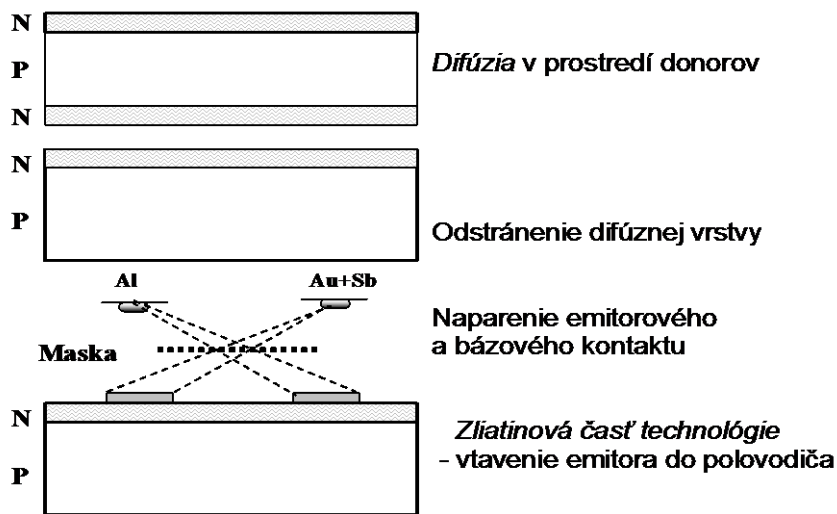
Schéma tranzistora s nadifundovanou bázou a zliatinovým emitorom je na obr. 12.7.



Obr. 12.7 Schéma tranzistora s nadifundovanou bázou a zliatinovým emitorom

*Difúzia v evakuovanej komore* je používaná pre prímiesi ako As, Sb. Substrát je obtekaný prúdom zmesi inertného a dopačného plynu.

### 3. „Mesa“ technológia

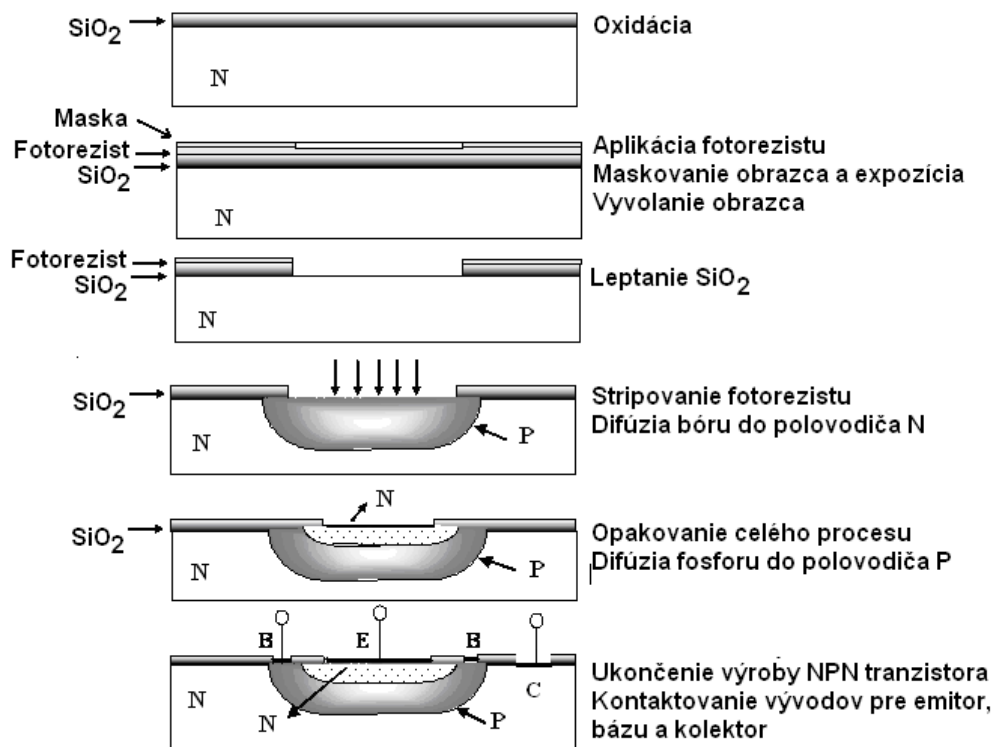


Obr. 12.8 Schéma technológie „Mesa“

„Mesa“ technológia (obr. 12.8) vznikla kombináciou difúznej a zliatinovej metódy, vývoj však vyústil do epitaxnej technológie, ktorá sa na prípravu PN priechodov používa často. Tranzistory vyrábané technológiou „mesa“ majú podobu „stolíka“. Ako prvá táto technológia umožnila hromadnú výrobu tranzistora.

### 4. Planárna technológia

Typickým znakom planárnej technológie je umiestnenie všetkých vývodov v jednej rovine. Postup výroby planárneho tranzistora je na obr. 12.9.

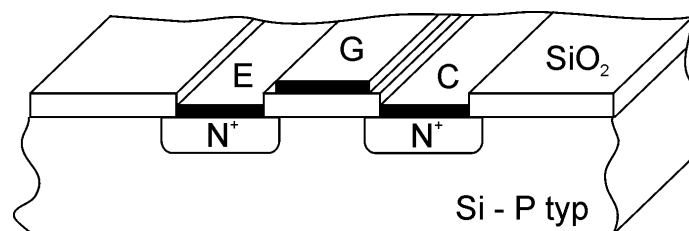


Obr. 12.9 Postup výroby planárneho tranzistora

V doštičke kremíka typu N sa vytvorí (napr. tepelnou oxidáciou) vrstva izolačného laku  $\text{SiO}_2$ , na ktorú sa nanesie fotorezist a priloží sa fotomaska. Vplyvom osvetlenia sa fotorezist spolymeryzuje, zamaskované časti ostávajú nespolymerizované a ľahko sa zmyjú. Nasleduje odleptanie nepokrytej vrstvy  $\text{SiO}_2$  až po povrch polovodiča a odstránenie fotorezistu. Do odkrytého polovodiča sa nechá nadifundovať prímies typu P do požadovanej hĺbky. Celý proces sa opakuje až do prekompenzovania vrstvy typu P vhodným donorom. Nakoniec sa vyleptajú miesta pre naparenie kovových kontaktov emitora a bázy, na ktoré sa termokompresiou pripoja drôtové vývody.

Táto technika využíva pre tvorbu PN priechodov difúziu, pričom difúzia prebieha cez „okná“ v oxidovej vrstve. „Okná“ sa vytvárajú fotolitografickým postupom.

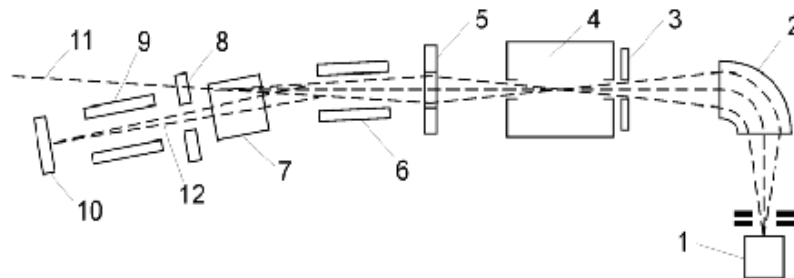
Planárna technológia spolu s epitaxnou predstavuje základnú metódu na sériovú výrobu elektronických súčiastok. Sprievodné technológie pri tejto metóde sú: fotolitografia, oxidácia  $\text{SiO}_2$  vrstvy, difúzia, lokálne dopovanie. Na obr. 12.10 je schematické usporiadanie štruktúry MOS tranzistora riadeného polom zhotoveného na princípe planárnej technológie.



Obr. 12.10 Schematické usporiadanie štruktúry MOS tranzistora riadeného polom zhotoveného na princípe planárnej technológie

## 5. Iónová implantácia

Iónovou implantáciou sa prímiesové atómy dostávajú do materiálu formou prúdu iónov s vysokými energiami (MeV). Zariadenie pre iónovú implantáciu je na obr. 12.11. Výhodou je možnosť prenikania iónov cez vrstvu  $\text{SiO}_2$ , pričom hĺbka vniknutia do kremíka býva v rozmedzí 1 - 4  $\mu\text{m}$ . Podstatné vylepšenie riadenia a tým presnosti dopovacieho procesu dosahujeme magnetickou fókusáciou lúča vysokopohyblivých iónov prímies na povrch substrátu. Lúč získava potrebnú energiu, aby prenikol pod povrch substrátu a zabudoval sa do kryštálovej mriežky vysokým napätím v urýchľovacej komore.



Obr. 12.11 Schéma zariadenia pre iónovú implantáciu (1 - zdroj iónov, 2 - separátor, 3 - clona, 4 - urýchľovač iónov, 5 - šošovka, 6 - elektródy pre vychyľovanie iónov, 7 - elektródy pre vertikálne rozmetanie lúča, 8 - clona, 9 - elektródy pre horizontálne rozmetanie lúča, 10 - terč, 11 - lúč neutrálnych atómov, 12 - lúč iónov)

Nevyžaduje vysoké procesné teploty, preto nedochádza k narušeniu už vytvorených štruktúr difúziou. Hĺbkový koncentračný profil má Gaussovo rozdelenie. Nedostatkom

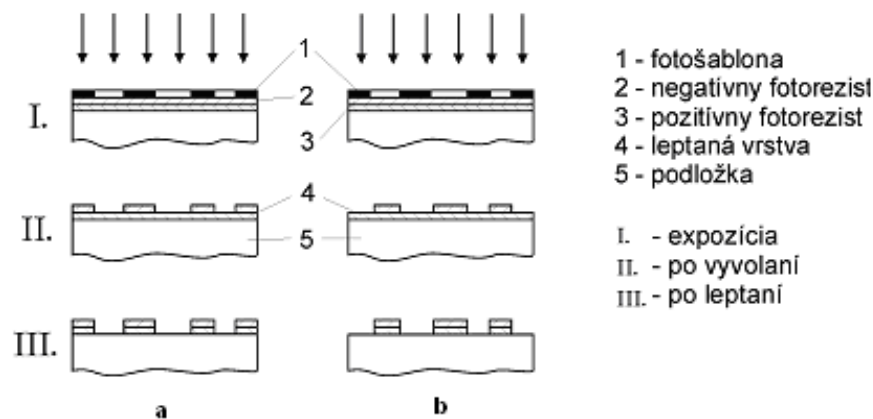
procesu je deštrukcia mriežky, čo možno redukovať difúznym žíhaním. Iónovou implantáciou pripravujeme veľmi plytké  $\sim 1\mu\text{m}$  PN priechody alebo ňou modifikujeme elektrickú vodivosť povrchu polovodičových substrátov. Používa sa tiež na amorfizáciu povrchu.

Pre iónovú implantáciu sa používajú: fluorid fosforu ( $\text{PF}_3$ ), arzén ( $\text{AsF}_3$ ), bóru ( $\text{BF}_3$ ,  $\text{BF}_5$ ). Sú to vysoko jedovaté plyny, ktoré sa vypúšťajú sa z fliaš za podtlaku ku kremíkovej doštičke. Prebehne difúzia na vhodných miestach. Zariadenie pre iónovú implantáciu tvorí zdroj iónov, urýchľovacia sústava, zaostrovací systém a držiak terča.

## 12.3. Fotolitografia, leptanie, dotovanie

### 12.3.1 Fotolitografia

*Fotorezistná maska:* Počítačom navrhnutý motív je elektrónovým lúčom exponovaný na deponovanú organickú negatívnu (pozitívnu) fotorezistívnu masku, ktorá polymerizuje a neožiarené (ožiarené) časti sa opláchnu rozpúšťadlom. Minimálny rozlíšiteľný detail určuje rozlišovaciu schopnosť. Vznik obrazca pomocou negatívneho a pozitívneho fotorezistu je na bor. 12.12.

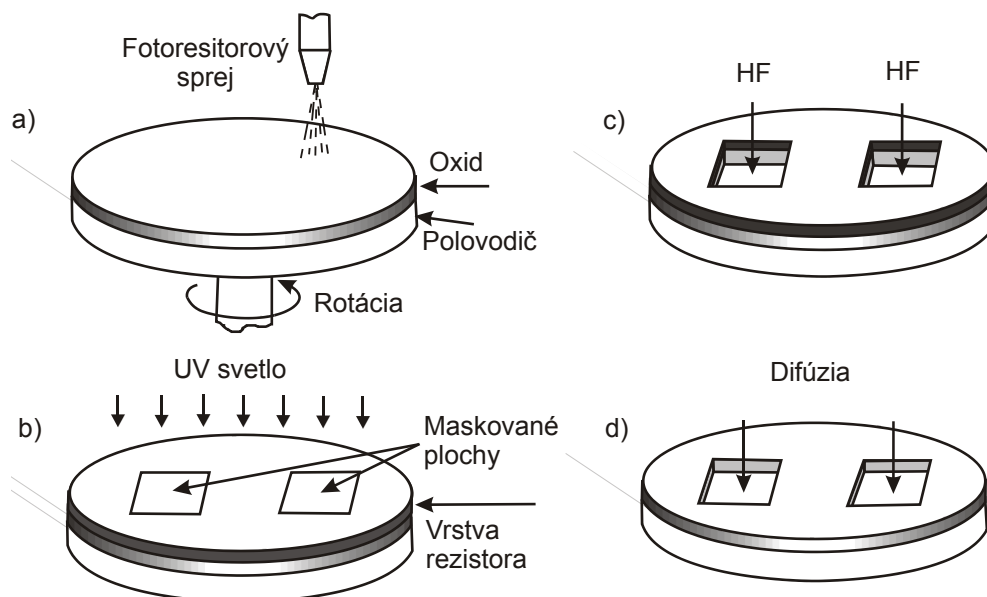


Obr. 12.12 Vznik obrazca pomocou a) negatívneho a b) pozitívneho fotorezistu

Moderné epitaxné metódy vytvárajú nanometrické štruktúry narastajúce vo vertikálnom smere (t.j. výsledné vrstvy sú rovnobežné s podložkou). Pre realizáciu veľmi jemne členitých elektronických štruktúr boli vyvinuté viaceré litografické a leptacie metódy. Pri výrobe integrovaných obvodov sa pre prenesenie obrazu používa prevažne optická fotolitografia. Moderné projekčné metódy používajú pre osvetlenie fotocitlivej látky (fotorezist - svetlocitlivý a kyselinovzdorný materiál) cez masku žiarenie v krátkovlnnej UV oblasti spektra. Vďaka krátkej vlnovej dĺžke tohto žiarenia (cca 200 nm) sú chyby zobrazenia spôsobené difrakciou minimalizované. Obraz sa prenáša postupne cez úzku štrbinu, tak aby sa predišlo chybám spôsobeným chybami veľkých šošoviek. Napriek tomu nie je možné optickou litografiou zobraziť detail menší ako niekoľko stoviek nanometrov. Ďalšie zvýšenie rozlišovacej schopnosti je možné dosiahnuť použitím röntgenovej alebo elektrónovej litografie. Litografický proces je jedným z najkritickejších technologických krokov pri výrobe integrovaných obvodov. Touto technikou je možné vytvárať „okná“, ktorých bočná dĺžka je od 1  $\mu\text{m}$  do 100 nm.

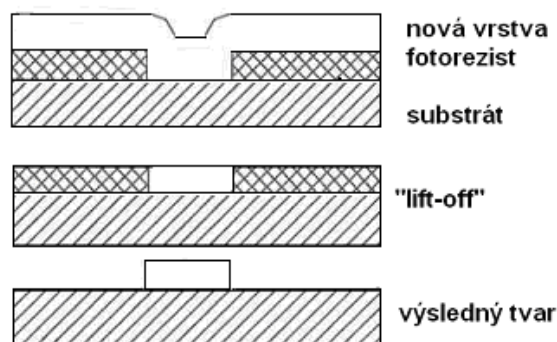
Obraz vytvorený vo fotoreziste je nutné preniesť do polovodičového materiálu. Fotorezist vytvára na povrchu polovodiča zakryté miesta. Zvyšný, nezakrytý povrch sú tzv. „okná“, cez ktoré prebieha dotácia materiálu, nanosenie vrstiev, leptanie. Zakrývanie povrchu materiálu sa uskutočňuje podľa toho, či sa jedná o pozitívny alebo negatívny spôsob. U nanometrických štruktúr sa dáva prednosť pozitívnemu fotorezistu pred negatívnym,

pretože sa vyznačuje väčšou citlivosťou na exponujúce žiarenie a výsledný tvar presnejšie kopíruje exponovaný obraz. Jednotlivé kroky fotolitografického procesu sú na obr. 12.13



Obr. 12.13 Kroky fotolitografického procesu: a) nanášanie fotorezistu, b) expozícia fotorezistu cez masku a vytvorenie „okien“ c) leptanie cez „okná“ d) difúzia dopantov

Pre litografiu nanometrických štruktúr sa často používa aj modifikovaná tzv. „lift-off“ metóda (obr. 12.14). Nová vrstva sa nanáša až na povrch s fotorezistorovými „oknami“ a následným leptaním sú odstránené časti ležiace na fotoreziste. Výsledný tvar kopíruje rozmery „okien“.

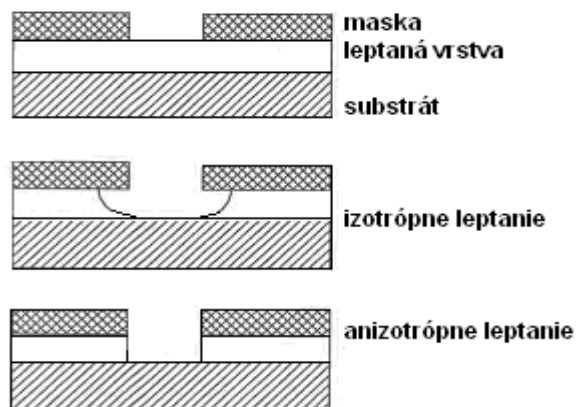


Obr. 12.14. Litografická metóda „lift-off“

### 12.3.2 Leptanie

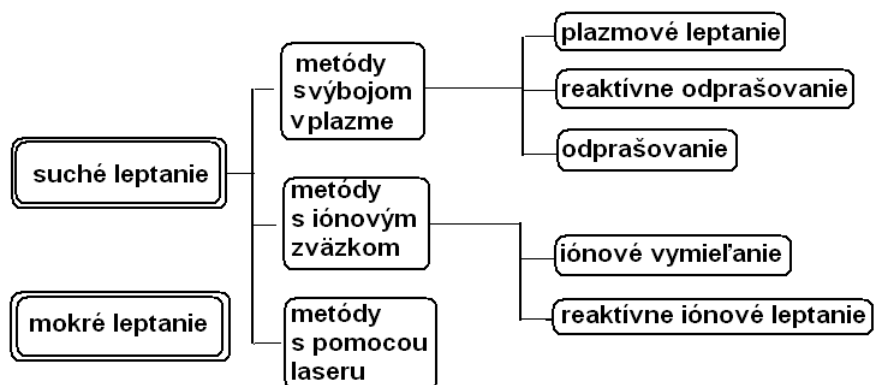
Verné prenesenie detailov elektronickej štruktúry je podmienené tiež vhodnou voľbou leptacej metódy. Mokrú metódu leptania sa vzhľadom k chemickej povahe odstraňovania materiálov pomocou leptadiel vyznačujú malou anizotropiou. Leptaná vrstva je vo všetkých smeroch odstraňovaná približne rovnako rýchlo a požadovaný tvar je tak značne deformovaný (podleptávanie). Na druhej strane suché metódy využívajú zväčša fyzikálny spôsob odstraňovania vrstiev pomocou urýchľovaných iónov, vykazujú dobrú anizotropiu avšak tiež malú selektivitu, t.j. približne rovnako rýchlo odstraňujú ľubovoľnú vrstvu, teda aj fotorezist (obr. 12.15).





Obr. 12.15 Izotropné a anizotrópne leptanie

Prehľad leptacích metód je na obr. 12.16.



Obr. 12.16 Prehľad leptacích metód

### 12.3.3 Lokálne dopovanie

Je nesmierne ťažko precízne lokalizovať zmenu v koncentrácii dopantov v základnom materiále, napr. pri výrobe PN priechodu. Obvykle toho dosahujeme dopovaním atómov do polovodiča vysokoteplotnou difúziou v pevnej fáze a nízokoteplotnou iónovou implantáciou. Proces je lokalizovaný za pomoci chrániacich masiek.

Pre dopovanie sa ako *nosné plyny* používajú Ar, N<sub>2</sub>, H<sub>2</sub>:

- pre dotovanie polovodiča typu N sa používa plyn fosfín (PH<sub>3</sub>), arzín (AsH<sub>3</sub>),
- pre dotovanie polovodiča typu P sa používa diboran (B<sub>2</sub>H<sub>2</sub>).